

Quiz N° 2 del Laboratorio de Comunicaciones, 2º Semestre de 2001

Nombre:

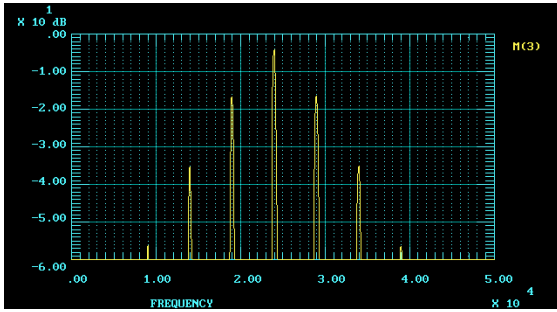


Figura (a)

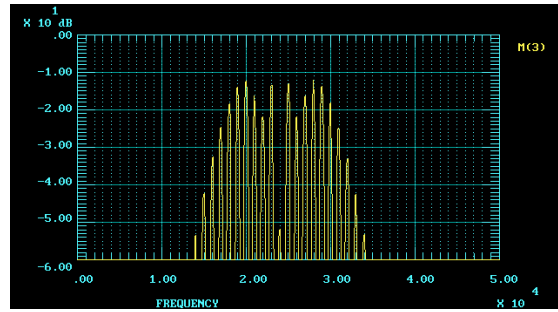


Figura (b)

Las figuras mostradas arriba corresponden al despliegue de un analizador de espectros que está correctamente calibrado y al que se le aplicó la salida de un VCO como el utilizado en el laboratorio, modulado con una senoide pura. Con una **frase breve** comente la pertinencia de cada una de las siguientes afirmaciones, en relación a lo observado.

1. El caso (a) es FM banda ancha en tanto que (b) es banda angosta
2. Como en (b) se elimina la componente de frecuencia portadora, se concluye que en este caso con $\beta = 2,4$
3. La gran cantidad de bandas laterales obligó a barrer mucho mas lentamente el analizador (scan time per division) en el caso (b) en comparación con (a).
4. Para pasar del caso (a) al caso (b) se puede ya sea aumentar la máxima desviación de frecuencia (aumento de voltaje de control a la entrada del VCO) o bien reducir la frecuencia modulante aplicada al VCO.

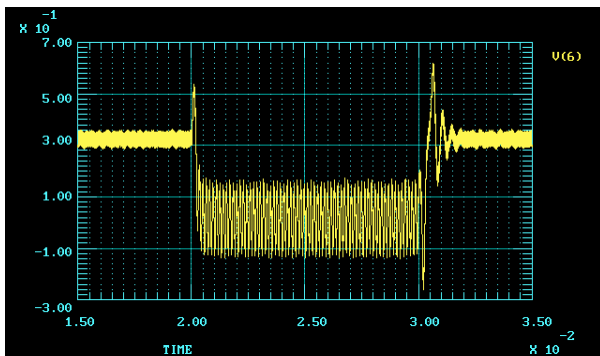


Figura (a)

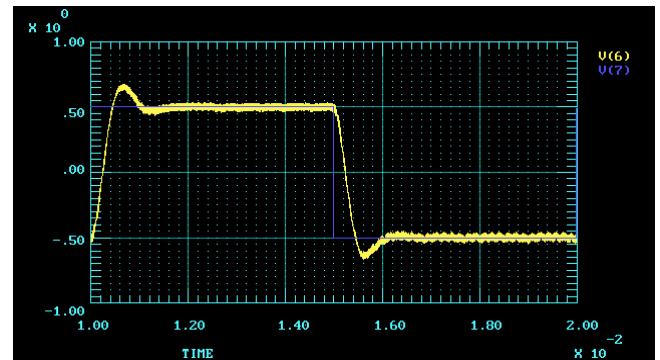


Figura (b)

Las figuras mostradas arriba corresponden al despliegue de un osciloscopio al que se le aplicó la salida (pin 7) de un PLL LM 565 como el utilizado en el laboratorio. Como entrada al PLL se usó la señal generada por el “módulo de prueba” usado en la experiencia. La entrada al módulo de prueba es una señal cuadrada. Con una **frase breve** comente la pertinencia de cada una de las siguientes afirmaciones, en relación a lo observado en el laboratorio y en las figuras.

1. En el caso (a) se usó la configuración con resistencia adicional, la cual no permite eliminar bien la componente de doble frecuencia durante el intervalo en que el escalón tiene el nivel bajo.

2. En el caso (b) se usó la configuración con resistencia adicional, lo cual explica que se eliminara mejor la doble frecuencia y a la vez se mejorara la estabilidad del lazo (menos overshoot).

3. En el caso (a) el PLL no está siempre enganchado en cambio si lo está en el caso (b)

4. Lo observado en el caso (a) puede deberse a que la frecuencia central de VCO del módulo de prueba no coincide con la del VCO del PLL.